

⑨日本国特許庁(JP)

⑩特許出願公開

⑫公開特許公報(A)

昭54—69949

⑤Int. Cl. <sup>2</sup>	識別記号	⑥日本分類	庁内整理番号	③公開	昭和54年(1979)6月5日
H 03 K 17/60		98(5) G 0	7105—5 J		
H 01 L 27/04		99(5) H 0	7210—5 F	発明の数	1
H 01 L 29/78		99(5) E 3	6603—5 F	審査請求	未請求

(全 2 頁)

⑭MOS集積回路装置

⑯発明者 宮本明

東京都港区芝五丁目33番1号

日本電気株式会社内

⑰特願 昭52—137407

⑱出願 昭52(1977)11月15日

⑲出願人 日本電気株式会社

東京都港区芝五丁目33番1号

⑳発明者 吉武和樹

東京都港区芝五丁目33番1号

㉑代理人 弁理士 内原晋

日本電気株式会社内

明 細 書

1. 発明の名称

MOS集積回路装置

2. 特許請求の範囲

同一半導体基板内に出力バッファ部とその他の回路部を設けたMOS集積回路装置において、出力バッファ部のMOSトランジスタの閾値電圧を、その他の部分の閾値電圧よりも、絶対値で小さめに設定したことを特徴とするMOS集積回路装置

3. 発明の詳細な説明

本発明は、MOS集積回路装置(以下MOS ICと称す)に関するものである。

MOS ICのうち、出力電流容量の大きなもの、特に、モータ駆動式時計用CMOS ICでは、従来、その電流容量を満足させるため、出力バッファが、チップ面積の40%あまりを占め、チップサイズを縮小する妨げとなつてゐる。

従来、出力バッファを小さくするためには、MOSトランジスタのチャネル長を短くすることが、一番有効な手段であるが、耐圧及び製造プロセスの面から自ずと限界がある。

さらに、出力のMOSトランジスタを、バイポーラトランジスタにすることも考えられているが、製造プロセスの複雑化を招くこととなる。また、IC全体の閾値電圧を下げて、電流容量を大きくすることも考えられるが、これは、消費電流の増大を招き、特に時計用のCMOS ICの場合は、有効な手段ではない。

本発明の目的は、工程の複雑化、耐圧の劣化、消費電流の増大をとまなりことなく、電流容量の大きな、かつ、チップサイズの小さいMOS ICを提供することにある。

次に本発明を実施例に従つて説明する。

第1図は、本発明の一実施例を示すブロック図である。

論理演算部は、ICの消費電流、動作範囲等の規格を満たす為閾値電圧の絶対値(以下|V<sub>th</sub>|と

示す。)を0.6ボルト中心に設定してある。これに対して、出力バッファ部は、 $|V_T|$ を0.3ボルト中心に設定する。ただし、電源電圧は1.5ボルトとする。

第2図に示すように、出力バッファを構成するトランジスタのチャンネル長は従来と同一とすると、 $|V_T|$ を0.6ボルトから0.3ボルトにすることにより、従来の56%にすることができる。しかも出力バッファ部の面積はほとんどトランジスタのチャンネル幅で済むのである。

また、消費電流、動作範囲(耐圧を含む)等は、主として、論理演算部で決まるので、出力バッファ部の $|V_T|$ を低くすることによつて、IC自体の諸特性への悪影響はない。

特に、モータ駆動式時計用CMOS ICのように、出力バッファの占める割合の高いICでは、本発明は、有効である。

なお、本発明の実施に当つては、 $|V_T|$ コントロールのために、例えばフォトレジスト等のマスク被覆工程とイオン注入工程を追加するだけでよ

い。

以上に説明したように本発明によれば出力バッファの占有面積を小さく出来、MOS ICのチップ面積を小さく出来、低コストのMOS ICを得る事が出来る。

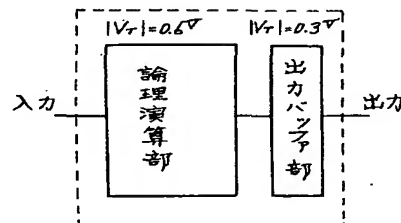
また本発明はCMOS IC、特に時計用CMOS ICで大きな効果が得られるが、他の用途のICやP-MOS、N-MOS等にも適用できる。

#### 4. 図面の簡単な説明

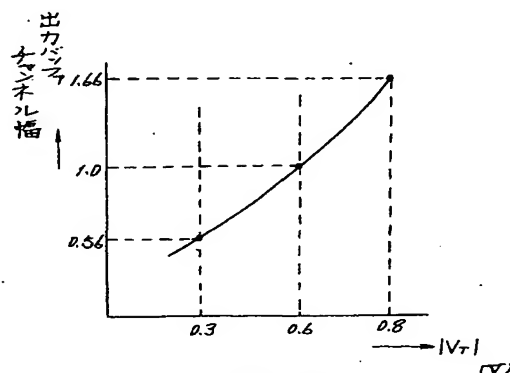
第1図は、本発明の一実施例を示す、ブロック図、

第2図は、 $|V_T|$ と出力バッファのチャンネル幅( $|V_T|$ が0.6ボルトのときを1として規格化)との関係を示す図で、ただし、チャンネル長は従来通り、電源電圧は1.5ボルト、動作は飽和領域とする。

代理人・弁護士 内原 晋



第1図



第2図